

Laboratório de Sistemas Digitais

Exercícios sobre Inferência de Hardware

1. Que hardware é inferido (gerado) pela ferramenta de síntese para cada um dos seguintes trechos de código? Desenhe um diagrama esquemático para cada caso usando primitivas do tipo portas lógicas, multiplexers, latches, flip-flops, somadores, etc. Identifique os sinais de reset e clock (onde aplicável). Complete as listas de sensibilidade dos processos.
2. Para os casos 4, 6, 7 e 8 altere os trechos de código de forma aos sinais de reset passarem a ser síncronos.
3. Construa uma entidade-arquitetura em VHDL para cada um dos trechos de código e simule-os com uma testbench adequada.

<p>Trecho de código 1</p> <pre>process(?) begin z <= x and y; end process;</pre>	<p>Trecho de código 2</p> <pre>process(?) begin if (s = '1') then z <= x and y; else z <= x + y; end if; end process;</pre>
<p>Trecho de código 3</p> <pre>process(?) begin if (s = '1') then z <= x; end if; end process;</pre>	<p>Trecho de código 4</p> <pre>process(?) begin if (r = '1') then z <= '0'; elsif (rising_edge(c)) then z <= x; end if; end process;</pre>
<p>Trecho de código 5</p> <pre>process(?) begin if (s = '1') then z <= x and y; end if; end process;</pre>	<p>Trecho de código 6</p> <pre>process(?) begin if (r = '1') then z <= '0'; elsif (rising_edge(c)) then z <= x and y; end if; end process;</pre>

Trecho de código 7

```
process( ? )
begin
  if (r = '1') then
    z <= '0';
  elsif (rising_edge(c)) then
    if (s = '1') then
      z <= x and y;
    else
      z <= x + y;
    end if;
  end if;
end process;
```

Trecho de código 8

```
process( ? )
begin
  if (r = '1') then
    z <= '0';
  elsif (rising_edge(c)) then
    if (e = '1') then
      z <= x;
    end if;
  end if;
end process;

w <= z when (s = '0') else
  y;
```
